

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Marc LAUGEOIS, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: DATA TRANSMISSION PROCESS WITH AUTO-SYNCHRONISED CORRECTING CODE,
AUTO-SYNCHRONISED CODER AND DECODER, CORRESPONDING TRANSMITTER AND RECEIVER

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
France	00 07563	June 14, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124



22850



THIS PAGE BLANK (USPTO)

CERTIFIED COPY OF
PRIORITY DOCUMENT



JC986 U.S. PTO
09/878343
06/12/01

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

22 MAI 2001

Fait à Paris, le

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 01 53 04 53 04
Télécopie : 01 42 93 59 30
<http://www.inpi.fr>

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 260899

REMISE DES PIÈCES DATE 14 JUIN 2000 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0007563 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 14 JUIN 2000		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE BREVATOME 3 rue du Docteur Lancereaux 75008 PARIS	
Vos références pour ce dossier (facultatif) B 13500.3/RS DD 2035			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale		N°	Date
ou demande de certificat d'utilité initiale		N°	Date
Transformation d'une demande de brevet européen		<input type="checkbox"/>	N°
Demande de brevet initiale		Date	Date
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCEDE DE TRANSMISSION DE DONNEES AVEC CODE CORRECTEUR AUTOSYNCHRONISE, CODEUR ET DECODEUR AUTOSYNCHRONISES, EMETTEUR ET RECEPTEUR CORRESPONDANTS.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date / / N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		COMMISSARIAT A L'ENERGIE ATOMIQUE	
Prénoms			
Forme juridique		Etablissement public de Caractère Scientifique, Technique et Industriel	
N° SIREN			
Code APE-NAF			
Adresse	Rue	31-33 rue de la Fédération	
	Code postal et ville	75752	PARIS 15ème
Pays		FRANCE	
Nationalité		FRANCAISE	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES FICHERS DATE 12 JUIN 2000 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0007563 NATIONAL ATTRIBUÉ PAR L'INPI		Répond à l'INPI	
Vos références pour ce dossier : <i>(facultatif)</i>		B 13500.3/RS DD 2035	
6 MANDATAIRE			
Nom		SIGNORE	
Prénom		Robert	
Cabinet ou Société		BREVATOME 422.5/S002	
N° de pouvoir permanent et/ou de lien contractuel		7068 du 12.06.98	
Adresse	Rue	3 rue du Docteur Lancereaux	
	Code postal et ville	75008	PARIS
N° de téléphone <i>(facultatif)</i>		01.53.83.94.00	
N° de télécopie <i>(facultatif)</i>		01.45.63.83.33	
Adresse électronique <i>(facultatif)</i>		spibrev@easynetfr.	
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :</i>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) R. SIGNORE 422-5 S/002		VISA DE LA PRÉFECTURE OU DE L'INPI	

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08


Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 2.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260899

Vos références pour ce dossier (facultatif)		B13500.3/RS	
N° D'ENREGISTREMENT NATIONAL		0007563	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCÉDE DE TRANSMISSION DE DONNÉES AVEC CODE CORRECTEUR AUTOSYNCHRONISE, CODEUR ET DECODEUR AUTOSYNCHRONISE, ÉMETTEUR ET RECEPTEUR CORRESPONDANTS.			
LE(S) DEMANDEUR(S) : COMMISSARIAT A L'ÉNERGIE ATOMIQUE 31/33 rue de la Fédération 75752 PARIS 15ème			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		LAUGEOIS	
Prénoms		Marc	
Adresse	Rue	94Bis rue Abbé Grégoire	
	Code postal et ville	38000	GRENOBLE
Société d'appartenance (facultatif)			
Nom		LATTARD	
Prénoms		Didier	
Adresse	Rue	Les Rithons	
	Code postal et ville	38680	RENCUREL
Société d'appartenance (facultatif)			
Nom		SAVEL	
Prénoms		Jean-Rémi	
Adresse	Rue	Le Charmeyran Appt. 72	
	Code postal et ville	38700	CORENC
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) PARIS LE 14 JUIN 2000 R. SIGNORE 422-5 S/002			

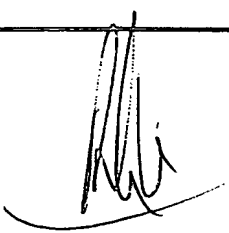
DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 2.
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260899

Vos références pour ce dossier (facultatif)		B13500.3/RS	
N° D'ENREGISTREMENT NATIONAL		0007563	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCÉDE DE TRANSMISSION DE DONNEES AVEC CODE CORRECTEUR AUTOSYNCHRONISE, CODEUR ET DECODEUR AUTOSYNCHRONISE, EMETTEUR ET RECEPTEUR CORRESPONDANTS.			
LE(S) DEMANDEUR(S) : COMMISSARIAT A L'ENERGIE ATOMIQUE 31/33 rue de la Fédération 75752 PARIS 15ème			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		BOUVIER des NOES	
Prénoms		Mathieu	
Adresse	Rue	3 rue Lachmann	
	Code postal et ville	38000	GRENOBLE
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) PARIS LE 14 JUIN 2000 R. SIGNORE 422-5 S/002			

**PROCEDE DE TRANSMISSION DE DONNEES AVEC CODE CORRECTEUR
AUTOSYNCHRONISE, CODEUR ET DECODEUR AUTOSYNCHRONISES,
EMETTEUR ET RECEPTEUR CORRESPONDANTS**

5

DESCRIPTION

Domaine technique

La présente invention a pour objet un procédé de transmission de données avec code correcteur, autosynchronisé, un codeur et un décodeur autosynchronisés, ainsi qu'un émetteur et un récepteur correspondants.

L'invention trouve une application en télécommunications.

15

Etat de la technique antérieure

Lorsqu'un signal numérique se trouve perturbé lors de sa propagation, il est utile de prévoir une redondance dans le message transmis pour corriger les erreurs commises. Cette redondance peut être obtenue par un code correcteur d'erreurs. L'introduction d'un tel code nécessite une mise en trame des données, cette mise en trame étant prévue dans un protocole de communication. Elle n'est généralement pas réalisée dans ce qu'on appelle la couche physique (qui comprend les organes de modulation en bande de base) mais dans une couche de liaison particulière.

Les figures 1 à 5 annexées illustrent cette technique. Elles correspondent à des symboles d'information constitués de multiplets de m bits, où m est un entier dépendant du code choisi, par exemple une

30

puissance de 2, comme 8 (auquel cas le multiplet est un octet).

Sur la figure 1, tout d'abord, on voit le format d'une trame codée, en sortie d'un circuit de codage. La trame représentée comprend un en-tête 10 (qui est un mot de synchronisation de trame) constitué par n symboles de m bits chacun, un premier groupe 12 de K symboles de m bits et enfin un second groupe 14 de R symboles de m bits. Ce second groupe 14 est le code correcteur associé au premier groupe 12. Seul le premier groupe 12 représente l'information à transmettre, le second 14, constituant une redondance. Les nombres K et R sont caractéristiques du code correcteur employé. Par exemple, pour un code de Reed-Solomon, on indique la longueur totale du message en multiplets (soit K+R) et le nombre de multiplets de codage (R).

La figure 2 illustre un circuit de codage (ou codeur) permettant de constituer une telle trame. Tel qu'illustré, ce circuit 20 comprend un convertisseur série-parallèle 22, un codeur 24 et un convertisseur parallèle-série 26 (les convertisseurs 22 et 26 sont facultatifs). Un signal de synchronisation S commande les circuits 22 et 24. Les données à coder D sont introduites dans le convertisseur 22 et les données codées Dc sont extraites du convertisseur 26.

La figure 3 illustre le circuit de décodage correspondant (ou décodeur). Tel que représenté, ce circuit 30 comprend un convertisseur série-parallèle 32, un décodeur 34 et un convertisseur parallèle-série 36. Le signal de synchronisation S commande les

circuits 32 et 34. Les données codées Dc sont appliquées au convertisseur 32 et les données décodées D sont extraites du convertisseur 36.

La figure 4 représente des moyens d'interfaçage entre les moyens de codage et les moyens de modulation. Cet interfaçage 40 comprend une mémoire tampon 42 ("buffer") contenant les données à coder, un codeur 44, une mémoire tampon 46, par exemple du type FIFO ("First In First Out"), et une interface de modulation 48 dont la sortie 49 est reliée aux moyens de modulation non représentés. La synchronisation du codeur 44 est assurée par le signal de synchronisation S.

La figure 5 illustre l'interfaçage démodulation-décodeur correspondant. Tel que représenté, cet interfaçage 50 comprend une entrée 51 reliée aux moyens de démodulation non représentés, un circuit 52 de séparation des trames et d'interface avec les moyens de démodulation, une mémoire tampon 54, par exemple de type FIFO, un décodeur 56, et une mémoire tampon de données 58. Le décodeur est commandé par le signal de synchronisation S.

Dans les circuits des figures 4 et 5, les mémoires FIFO 46 et 54 servent à adapter les débits des données entre le codeur et la modulation ou entre la démodulation et le décodeur.

En conclusion, dans cet art antérieur, l'utilisation d'un code correcteur nécessite des moyens particuliers. Si l'on utilise une liaison dépourvue de tels moyens et si l'on souhaite, pour améliorer les performances de la transmission, tirer profit du code

correcteur, il faudra nécessairement rajouter des circuits de gestion.

La présente invention a justement pour but de remédier à cet inconvénient.

5

Exposé de l'invention

A cette fin, l'invention propose un procédé dans lequel le code correcteur est autosynchronisé et ne nécessite donc pas d'ajout de circuits de gestion. Tout
10 se passe dans la couche physique (codage et modulation ou démodulation et décodage). Les couches hautes du protocole n'ont plus à formater les trames car les données à émettre sont automatiquement associées à un en-tête et à un code correcteur. L'utilisateur n'a pas
15 accès au paquet constitué et n'a donc pas à gérer les problèmes de synchronisation liés à la présence du code. Côté décodeur, celui-ci effectue une recherche d'un en-tête dans le train de bits fourni par l'étage de démodulation. Un algorithme de synchronisation
20 permet une autosynchronisation fiable. Aucun interfaçage extérieur n'est nécessaire entre la modulation (ou la démodulation) et le codage (le décodage). L'adjonction d'un code correcteur sur une liaison n'en disposant pas initialement est donc une
25 opération totalement transparente pour l'utilisateur. La configuration matérielle initiale n'est pas à revoir. Le circuit codeur et le décodeur se câblent directement respectivement avant le circuit de modulation en bande de base et après le circuit de
30 démodulation.

De façon précise, l'invention a pour objet un procédé de transmission de données avec code correcteur autosynchronisé, caractérisé en ce que :

a) à l'émission :

- 5 i) les données à transmettre étant constituées de bits ayant un rythme défini par un signal d'horloge (H), on forme des signaux de gestion de synchronisation comprenant :
- 10 • un signal d'horloge symbole (HS) m fois moins rapide que le signal d'horloge (H), où m est un entier, m bits constituant un symbole d'information (S),
- un signal de synchronisation (SS) marquant le premier symbole du paquet,
- 15 • un signal d'interruption d'acquisition de données (ID) intervenant tous les K symboles, où K est un entier prédéterminé,
- ii) sous la commande du signal d'interruption d'acquisition de données (ID), on insère,
- 20 avant un premier groupe de K symboles, un en-tête et, après ledit premier groupe, un second groupe de R symboles constituant un code correcteur correspondant aux K symboles du premier groupe, R étant un entier prédéterminé dépendant du type code correcteur utilisé, le
- 25 premier et le second groupes de $(R+K)$ symboles formant un paquet, et l'en-tête un en-tête propre à ce paquet,
- iii) on module et on émet de manière
- 30 appropriée chaque paquet avec son en-tête,

b) à la réception :

i) on démodule le signal reçu, et on en extrait le signal d'horloge bit (H),

5 ii) à partir du signal démodulé, on met en oeuvre un processus de recherche d'en-tête dans les signaux démodulés et, lorsqu'un en-tête est détecté, on inhibe le processus de recherche d'en-tête, et on génère la commande de synchronisation (SS) marquant le premier
10 symbole du paquet ;

iii) sous la commande des signaux d'horloge symbole (HS) et de synchronisation de symbole (SS), on traite le paquet reçu, pour corriger les symboles éventuellement erronés du premier
15 groupe à l'aide du code correcteur du second groupe, et on réactive le processus de recherche d'en-tête après chaque traitement de paquet,

iv) à partir des symboles corrigés on restitue
20 les données transmises.

Dans un mode de mise en oeuvre particulier,

a) à l'émission, la modulation s'effectue par étalement de spectre à l'aide de séquences pseudo-aléatoires,

25 b) à la réception, la démodulation s'effectue par corrélation avec les séquences pseudo-aléatoires utilisées à l'émission.

La présente invention a également pour objet un
30 codeur autosynchronisé pour la mise en oeuvre du

procédé qui vient d'être défini. Ce codeur est caractérisé en ce qu'il comprend :

i) des moyens pour former des signaux de gestion de synchronisation comprenant :

- 5 • un signal d'horloge symbole (HS) m fois moins rapide qu'un signal d'horloge (H) rythmant les bits de données, où m est un entier, m bits constituant un symbole d'information (S),
- 10 • un signal de synchronisation (SS) marquant le premier symbole du paquet,
- un signal d'interruption d'acquisition de données (ID) intervenant tous les K symboles, où K est un entier prédéterminé,

15 ii) des moyens pour insérer, sous la commande du signal d'interruption d'acquisition (ID), avant un premier groupe de K symboles, un en-tête de paquet et, après ledit premier groupe, un second groupe de R symboles constituant un code correcteur affecté aux K symboles du premier groupe, R étant un entier

20 prédéterminé dépendant du type code correcteur utilisé, le premier et le second groupes de $(R+K)$ symboles formant un paquet, et l'en-tête un en-tête propre à ce paquet.

25

La présente invention a également pour objet un décodeur autosynchronisé pour la mise en oeuvre du procédé qui vient d'être défini. Ce codeur est caractérisé en ce qu'il comprend :

- 30 i) des moyens pour constituer, à partir d'un paquet de données, un signal d'horloge (H), un

signal d'horloge symbole (HS) et un signal de synchronisation de symbole (SS);

ii) des moyens pour mettre en oeuvre un processus de recherche d'en-tête dans le paquet démodulé et, lorsqu'un en-tête est détecté, pour inhiber la recherche d'en-tête et pour, sous la commande des signaux d'horloge symbole (HS) et le signal de synchronisation (SS) marquant le premier symbole du paquet, traiter le paquet reçu et pour corriger les symboles éventuellement erronés du premier groupe à l'aide du code correcteur du second groupe, et pour réactiver le processus de recherche d'en-tête après chaque traitement de paquet.

L'invention a encore pour objet un émetteur comprenant un module d'émission apte à moduler les données et à étaler le spectre de ces données par une séquence pseudo-aléatoire, cet émetteur étant caractérisé en ce qu'il comprend en outre, avant ledit module d'émission, un codeur autosynchronisé.

L'invention a enfin pour objet un récepteur comprenant un module de réception apte à démoduler les données et à désétaler le spectre de ces données par une séquence pseudo-aléatoire, ce récepteur étant caractérisé en ce qu'il comprend en outre, après ledit module de réception, un décodeur autosynchronisé.

Tous les codes correcteurs connus sont utilisables dans l'invention, et en particulier le code dit de Reed-Solomon.

Brève description des dessins

- 5 - La figure 1, déjà décrite, montre un paquet de données comprenant K symboles d'informations de m bits chacun, R symboles de code correcteur de m bits chacun, un en-tête de paquet ;
- la figure 2, déjà décrite, montre un circuit de codage selon l'art antérieur ;
- la figure 3, déjà décrite, montre un circuit de décodage selon l'art antérieur ;
- 10 - la figure 4, déjà décrite, illustre un interfaçage connu entre les moyens de codage et les moyens de modulation ;
- la figure 5, déjà décrite, illustre un interfaçage connu entre les moyens de
- 15 démodulation et les moyens de traitement du code correcteur ;
- la figure 6 illustre un mode particulier de réalisation d'un codeur autosynchronisé selon l'invention ;
- 20 - la figure 7 illustre un mode particulier de réalisation d'un décodeur autosynchronisé selon l'invention ;
- la figure 8 est un diagramme d'état relatif au processus de recherche d'en-tête ;
- 25 - la figure 9 illustre un exemple de réalisation d'un circuit réalisé par le Demandeur, travaillant en émission et/ou en réception, avec un code Reed-Solomon et une modulation par étalement de spectre à séquence directe.

30

Description de modes particuliers de réalisation

La figure 6 illustre l'architecture d'un codeur autosynchronisé selon l'invention avec une interface amont. L'interface amont 60 comprend une mémoire tampon 5 61 contenant les données à transmettre D et une bascule 62 avec trois entrées P, En et CK, et une sortie Q. Le codeur 63 proprement dit comprend un circuit 64 de traitement des données ayant pour fonction l'insertion d'un en-tête dans le flux des données, un circuit 65 de 10 gestion automatique de la synchronisation, ce circuit délivrant trois signaux : un signal ID d'interruption de l'acquisition des données, un signal d'horloge symbole HS, m fois moins rapide que le signal d'horloge H et un signal de synchronisation de symbole SS 15 repérant le début de chaque symbole. Le circuit 63 comprend encore un codeur 66 fonctionnant sur des multiplets (m bits, avec, par exemple, m = 8 s'il s'agit d'octets). Ce codeur reçoit les symboles S d'un convertisseur série-parallèle 67 (facultatif) et 20 l'horloge symbole HS. Le codeur 66 délivre un flot de données organisées en symboles avec un en-tête, des symboles d'information et des symboles de redondance définis par le code correcteur utilisé. Le circuit 63 peut comprendre encore un convertisseur parallèle-série 25 68 dont la sortie 69 délivre les données qui seront ensuite traitées par les moyens de modulation non représentés.

L'entrée En de la bascule 62 permet d'interrompre le flux des données D grâce au signal ID délivré par le 30 circuit 65. Cette interruption permet l'insertion de l'en-tête et l'ajout des symboles de codage. Le

convertisseur série-parallèle 67 permet de constituer des symboles à m bits à partir des données (si $m = 1$, ce convertisseur est inutile).

L'horloge H rythmant les bits est fournie par
5 l'étage de modulation.

La figure 7 illustre l'architecture d'un décodeur autosynchronisé selon l'invention. Tel que représenté, ce décodeur 70 comprend un circuit 71 de suppression
10 d'en-tête, recevant le train de bits issu des moyens de démodulation non représentés, un circuit 72 mettant en oeuvre un algorithme de détection d'en-tête et recevant le train de bits issu des moyens de démodulation et délivrant un signal d'horloge symbole HS et un signal
15 de synchronisation SS marquant le premier symbole du paquet. Le circuit 70 comprend encore un convertisseur série-parallèle 74 (facultatif) recevant le signal d'horloge symbole HS, un décodeur 73 corrigeant les symboles éventuellement erronés et délivrant des
20 symboles d'information corrigés, et enfin un convertisseur parallèle-série 75 délivrant les données finalement transmises. L'horloge bit H est fournie par les moyens de démodulation.

25 La figure 8 est un diagramme d'état illustrant l'algorithme de recherche d'en-tête dans le flot de données. Les blocs représentés correspondent chacun à une phase avec la correspondance suivante :

bloc 80 : Phase 0 (initialisation de recherche
30 d'en-tête),

bloc 81 : Phase 1 (recherche d'un nouveau motif dans une durée inférieure ou égale à la durée d'un en-tête),

5 bloc 82 : Phase 2 (transmission d'un paquet ; inhibition de la recherche d'en-tête durant un paquet),

bloc 83 : Phase 3 (recherche d'un motif d'en-tête à la suite du paquet traité),

10 bloc 84 : Phase 4 (recherche d'en-tête directement à la suite du premier bit suivant le paquet).

Le déroulement du processus est alors le suivant. En début de processus, le signal d'inhibition est inactif. Cela signifie qu'on est en phase de recherche d'en-tête (phase 0).

20 Le flot de bits fourni par l'étage de démodulation est corrélé par la séquence binaire pseudo-aléatoire de l'en-tête. Si la corrélation dépasse un certain seuil, un drapeau est activé (phase 0 → phase 1). Lorsqu'une succession de motifs dans le train de bits apparaît comme un en-tête dans une durée inférieure ou égale à la durée de l'en-tête, le drapeau sera activé plusieurs fois (mxnxH) (phase 1). La synchronisation est alors effectuée sur le dernier motif (c'est-à-dire le dernier motif activant le drapeau) (on passe de la phase 1 à la phase 2).

30 La recherche d'en-tête est alors inhibée durant le temps de transmission d'un paquet (code correcteur inclus). Le drapeau ne peut pas être activé (phase 2). A la fin du paquet, le signal d'inhibition retombe dans

l'état inactif, et une nouvelle recherche d'en-tête commence (on passe de la phase 2 à la phase 3 ou 4).

Si le drapeau est activé dès le premier bit suivant le paquet (phase 4), alors la synchronisation a lieu sur ce motif et l'inhibition de la recherche d'en-tête est à nouveau activée. Dans le cas contraire, on effectue la recherche comme en début d'algorithme (phase 3). Le passage de la phase 3 à la phase 1 s'effectue exactement de la même manière que le passage de la phase 0 à la phase 1.

On considère qu'on est en présence d'une succession d'en-têtes si le corrélateur dépasse plusieurs fois le seuil avec une durée entre deux dépassements inférieure ou égale à la durée de l'en-tête. Pour cela, une fenêtre de la durée de l'en-tête est ouverte (phase 1). Si aucun dépassement n'a eu lieu pendant cette durée, le système est synchronisé (on passe de la phase 1 à la phase 2). Si un dépassement a eu lieu, la fenêtre est à nouveau initialisée (on reste dans la phase 1).

Lors d'une transmission continue, un "compteur de confiance" peut être ajouté. Il rend compte de la fiabilité de la synchronisation. Son fonctionnement est le suivant : lorsqu'un en-tête est détecté immédiatement après le signal d'inhibition, le compteur est incrémenté. Le seuil sur le corrélateur de recherche d'en-tête peut alors être diminué.

Dans le cas contraire, il est décrémenté. Cela signifie que l'en-tête précédemment détecté n'était pas fiable, donc que le seuil était placé trop bas. Il faut donc augmenter le seuil.

La figure 9, enfin, illustre un exemple de mise en oeuvre de l'invention dans le cas d'un codeur Reed-Solomon défini par $K = 25$ et $R = 6$ (il s'agit donc d'un code (31, 35), avec $m = 8$ (les symboles sont donc des octets). La modulation utilise la technique de l'étalement de spectre par séquence directe. Le circuit 90 correspond à un émetteur et le circuit 100 à un récepteur. L'ensemble correspond au circuit que le Demandeur désigne par "ICARE".

L'émetteur 90 reçoit les données symbolisées par le signal D et comprend un générateur de données 91, un module de synchronisation de code correcteur 92 comprenant un codeur Reed-Solomon 93 et un circuit de gestion de synchronisation 94. Il comprend encore un module 95 de modulation comprenant un modulateur 96 de type DQPSK ("Differential Quaternary Phase Shift Keying"), un bloc de mise en phase 97 de la séquence pseudo-aléatoire avec la donnée et un circuit d'étalement 98 des données modulées par 96 par la séquence produite par 97.

Cet émetteur 90 produit des signaux I et Q en bande de base respectivement en phase et en opposition de phase avec une porteuse et qui viendront moduler une porteuse RF symbolisée par le bloc 99. L'émetteur 90 produit également des signaux d'horloge H symbolisés dans le bloc 85.

Le récepteur 100 reçoit les signaux en bande de base I et Q symbolisés par le bloc 86 et des signaux de synchronisation symbolisés par le bloc 87. Il comprend un module de réception 102 comprenant un filtre 103

adapté à la séquence pseudo-aléatoire utilisée à l'émission, un circuit 104 de démodulation différentielle (DQPSK), un circuit 105 d'estimation du canal de transmission, de détection des pics de
5 corrélation (PC), de restitution des données D, de formation d'un signal de synchronisation (S) et d'une horloge (H), tous signaux représentés schématiquement dans le bloc 110. Le récepteur 100 comprend encore un module décodeur autosynchronisé 107, comprenant un
10 décodeur Reed-Solomon 108 et un circuit 109 de détection d'en-tête et d'autosynchronisation 109. Dans le mode de réalisation illustré, le module est précédé d'un générateur testeur de données 106.

Dans l'émetteur, le module 92 correspond au
15 circuit 63 de la figure 6 et, dans le récepteur, le module 107 correspond au circuit 70 de la figure 7. Les autres moyens sont classiques en technique d'étalement de spectre à séquence directe et sont bien connus de l'homme de l'art.

20

REVENDICATIONS

1. Procédé de transmission de données avec code correcteur autosynchronisé, caractérisé en ce que :

5 a) à l'émission :

i) les données à transmettre étant constituées de bits ayant un rythme défini par un signal d'horloge (H), on forme des signaux de gestion de synchronisation comprenant :

- 10 • un signal d'horloge symbole (HS) \underline{m} fois moins rapide que le signal d'horloge (H), où \underline{m} est un entier, \underline{m} bits constituant un symbole d'information (S),
- un signal de synchronisation (SS) marquant
15 le premier symbole du paquet,
- un signal d'interruption d'acquisition de données (ID) intervenant tous les K symboles, où K est un entier prédéterminé,

ii) sous la commande du signal d'interruption
20 d'acquisition de données (ID), on insère, avant un premier groupe de K symboles, un en-tête et, après ledit premier groupe, un second groupe de R symboles constituant un code correcteur correspondant aux K symboles du
25 premier groupe, R étant un entier prédéterminé dépendant du type code correcteur utilisé, le premier et le second groupes de (R+K) symboles formant un paquet, et l'en-tête un en-tête propre à ce paquet, ,

30 iii) on module et on émet de manière appropriée chaque paquet avec son en-tête,

b) à la réception :

- i) on démodule le signal reçu, et on extrait le signal d'horloge bit,
- ii) à partir du signal démodulé, on met en oeuvre un processus de recherche d'en-tête dans les signaux démodulés et, lorsqu'un en-tête est détecté, on inhibe le processus de recherche d'en-tête, et on génère la commande de synchronisation (SS) marquant le premier symbole du paquet,
- iii) sous la commande des signaux d'horloge symbole (HS) et de synchronisation de symbole (SS), on traite le paquet reçu, pour corriger les symboles éventuellement erronés du premier groupe à l'aide du code correcteur du second groupe, et on réactive le processus de recherche d'en-tête après chaque traitement de paquet,
- iv) à partir des symboles corrigés on restitue les données transmises.

2. Procédé selon la revendication 1, dans lequel :

- a) à l'émission, la modulation s'effectue par étalement de spectre à l'aide de séquences pseudo-aléatoires,
- b) à la réception, la démodulation s'effectue par corrélation avec les séquences pseudo-aléatoires utilisées à l'émission.

3. Procédé selon la revendication 1, dans lequel le code correcteur est un code du type Reed-Solomon.

4. Codeur autosynchronisé pour la mise en oeuvre du procédé selon la revendication 1, caractérisé en ce qu'il comprend :

5 i) des moyens (65) pour former des signaux de gestion de synchronisation comprenant :

 • un signal d'horloge symbole (HS) m fois moins rapide qu'un signal d'horloge (H) rythmant les bits de données, où m est un entier, m bits constituant un symbole d'information (S),

10

 • un signal de synchronisation de symbole (SS) repérant le début de chaque symbole (S),

15 • un signal d'interruption d'acquisition de données (ID) intervenant tous les K symboles, où K est un entier prédéterminé,

 ii) des moyens (60, 64, 66, 67, 68) pour insérer, sous la commande du signal d'interruption d'acquisition (ID), avant un premier groupe de K symboles, un en-tête de paquet et, après ledit premier groupe, un second groupe de R symboles constituant un code correcteur affecté aux K symboles du premier groupe, R étant un entier prédéterminé dépendant du type code correcteur

20

25 utilisé, le premier et le second groupes de (R+K) symboles formant un paquet, et l'en-tête un en-tête propre à ce paquet.

5. Décodeur autosynchronisé pour la mise en oeuvre du procédé selon la revendication 1, caractérisé en ce qu'il comprend :

30

- i) des moyens (72) pour constituer, à partir d'un paquet de données, un signal d'horloge (H), un signal d'horloge symbole (HS) et un signal de synchronisation de symbole (SS);
- 5 ii) des moyens (71, 73, 74, 75) pour mettre en oeuvre un processus de recherche d'en-tête dans le paquet démodulé et, lorsqu'un en-tête est détecté, pour inhiber la recherche d'en-tête et pour, sous la commande des signaux d'horloge symbole (HS) et de
- 10 synchronisation de symbole (SS), traiter le paquet reçu et pour corriger les symboles éventuellement erronés du premier groupe à l'aide du code correcteur du second groupe, et pour réactiver le processus de recherche d'en-tête après chaque
- 15 traitement de paquet.

6. Emetteur pour la mise en oeuvre du procédé selon la revendication 1, comprenant un module d'émission (95) apte à moduler les données et à étaler

20 le spectre de ces données par une séquence pseudo-aléatoire, caractérisé en ce qu'il comprend en outre, avant ledit module d'émission, un codeur autosynchronisé (92) selon la revendication 4.

25 7. Récepteur pour la mise en oeuvre du procédé selon la revendication 1, comprenant un module de réception (102) apte à démoduler les données et à désétaler le spectre de ces données par une séquence pseudo-aléatoire, caractérisé en ce qu'il comprend en

30 outre, après ledit module de réception, un décodeur autosynchronisé (100) selon la revendication 5.

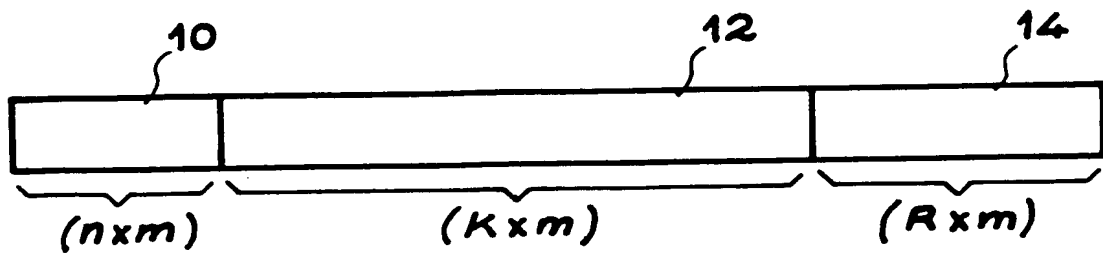


FIG. 1

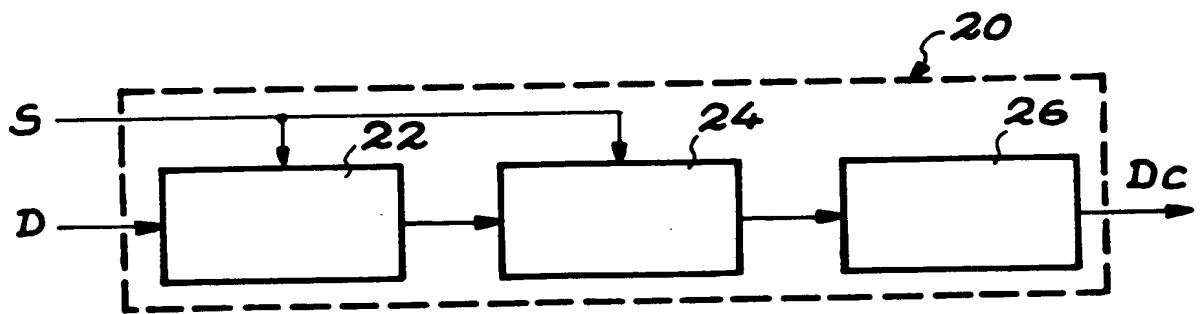


FIG. 2

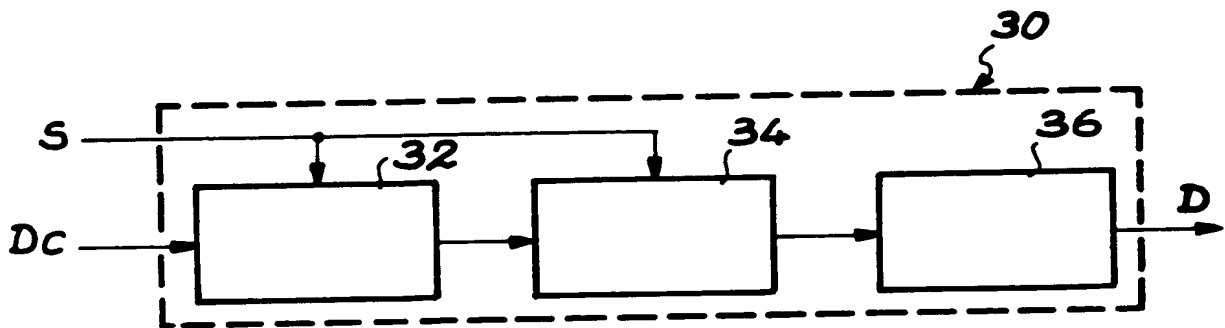


FIG. 3

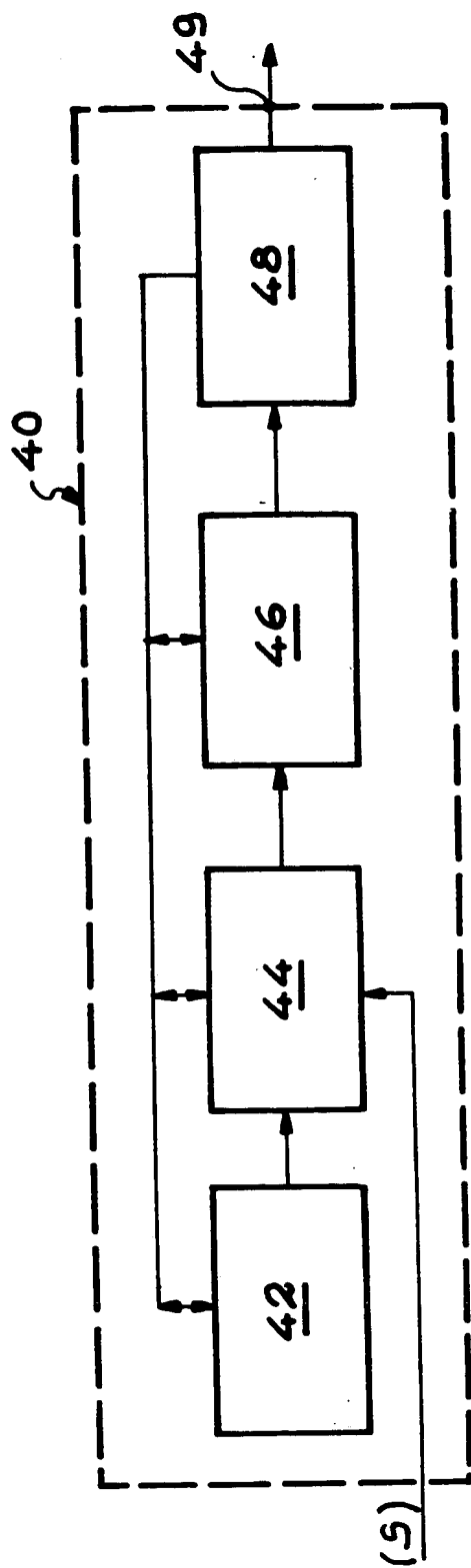


FIG. 4

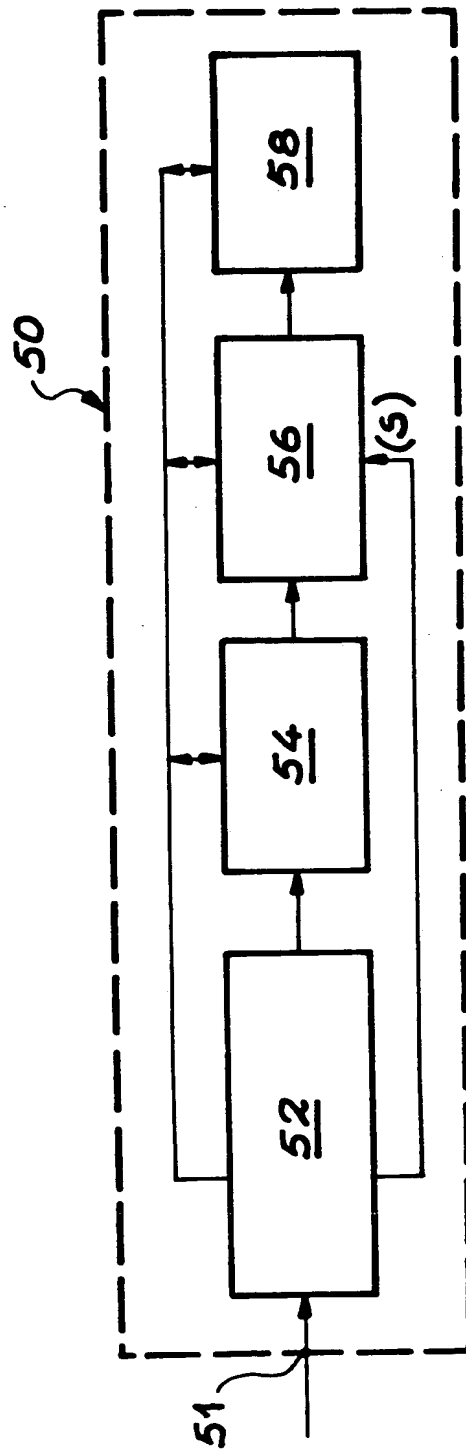


FIG. 5

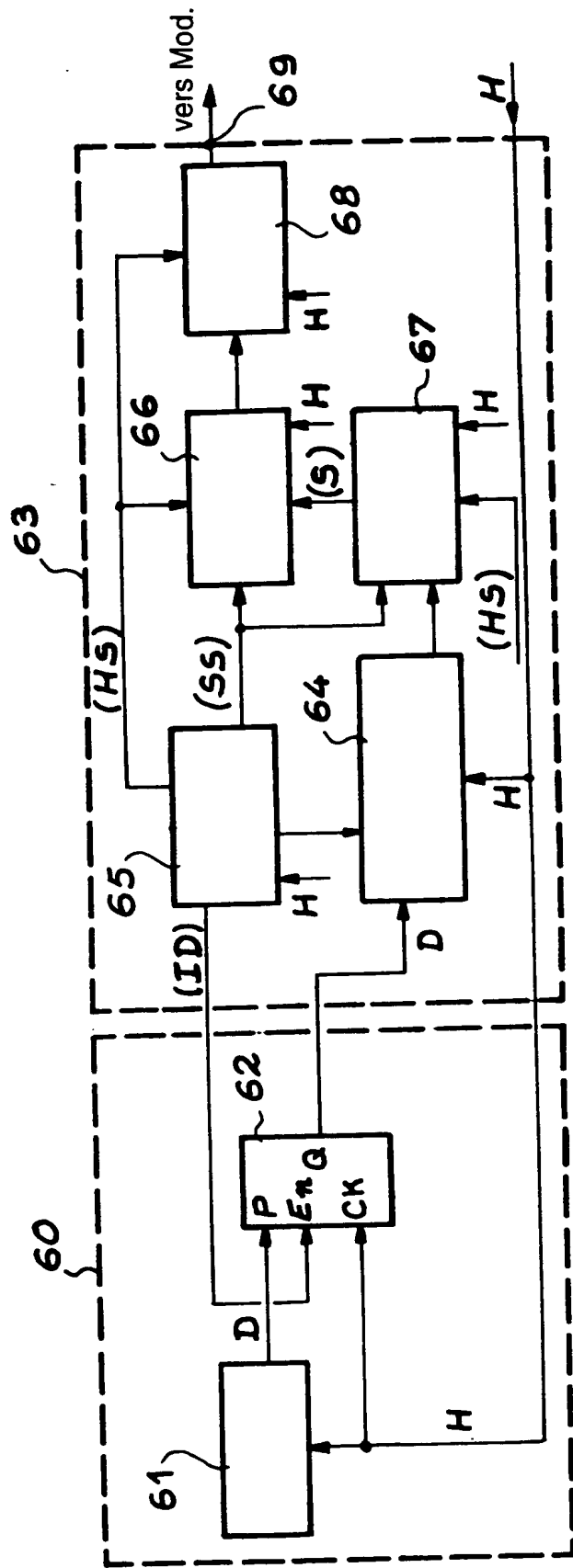


FIG. 6

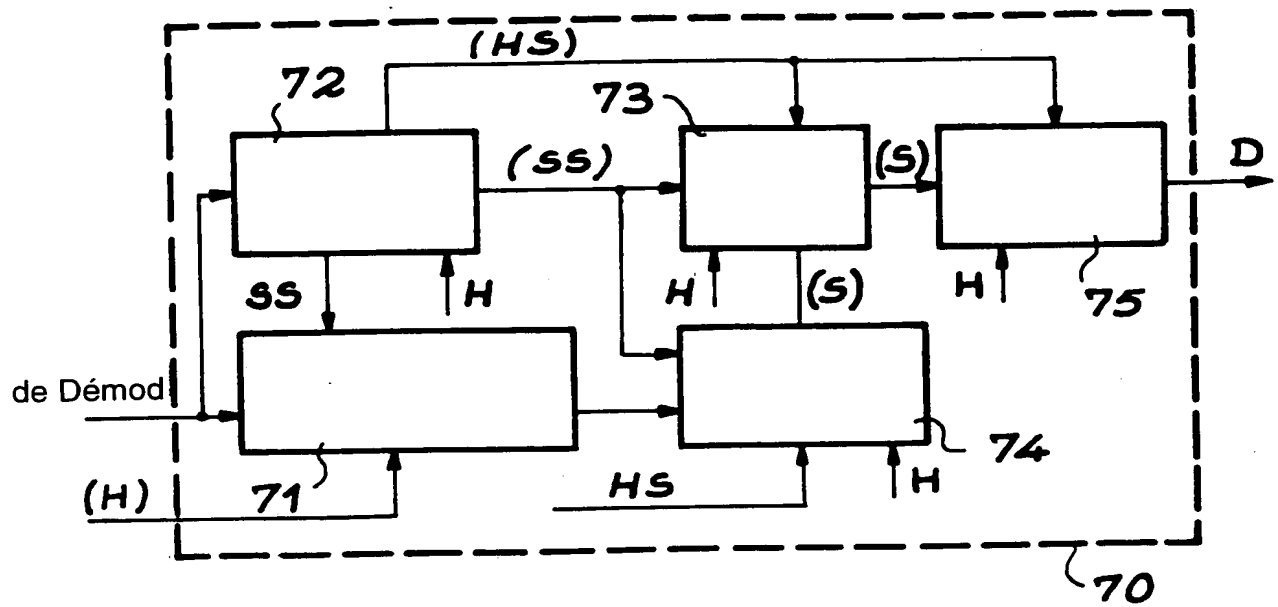


FIG. 7

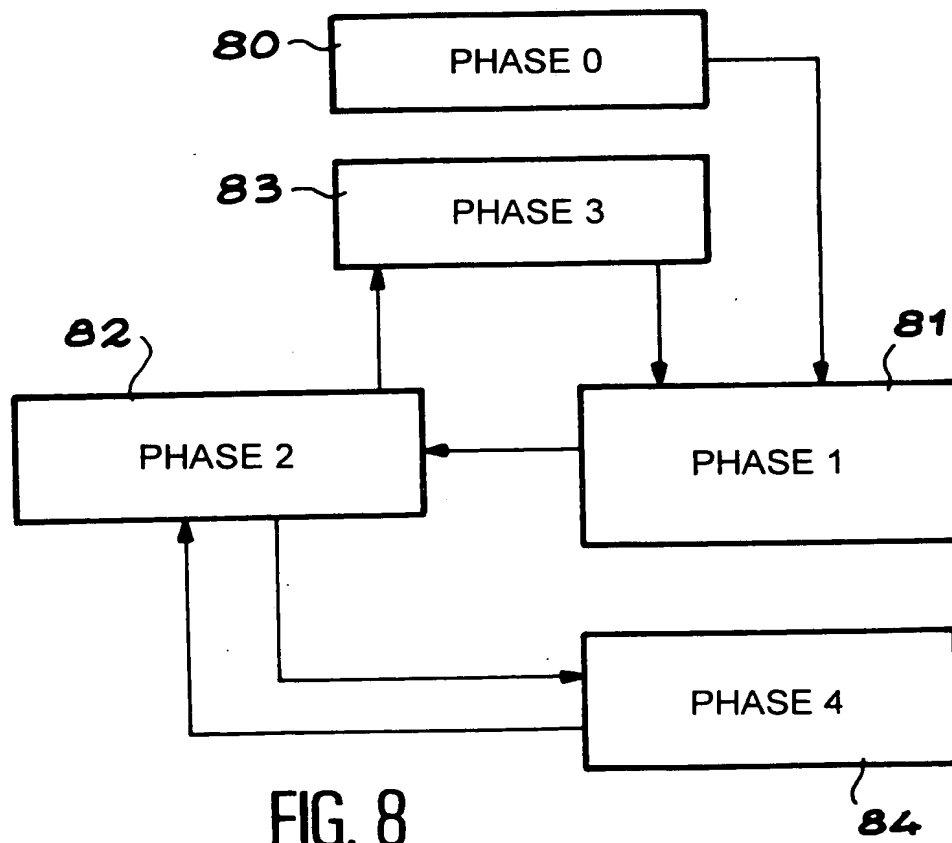


FIG. 8

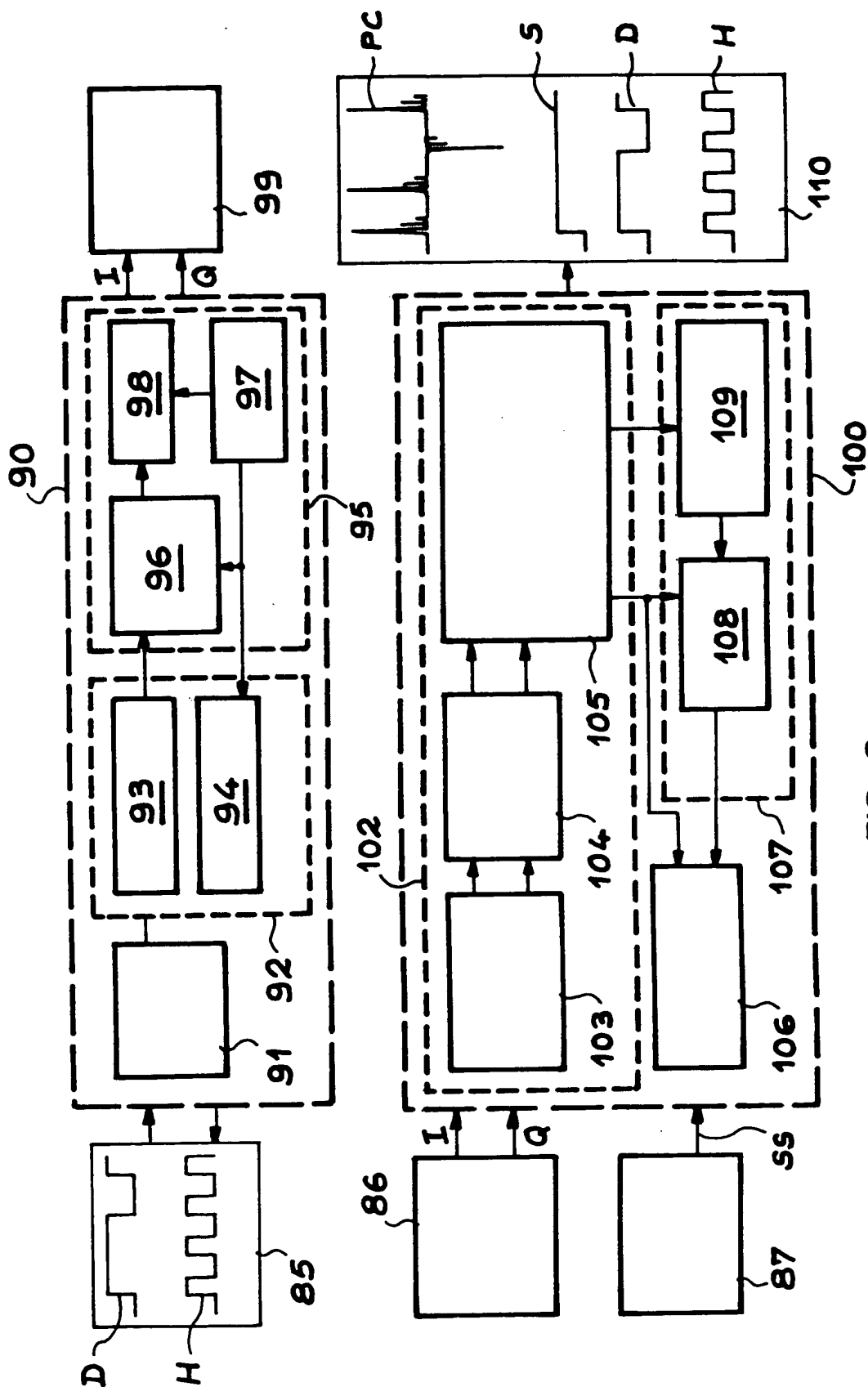


FIG. 9